

Apparatus for acquiring code phase lock in direct sequence spread spectrum systems

Patent number: CN1220062
Publication date: 1999-06-16
Inventor: HULBERT A P (GB); CHANDLER D P (GB)
Applicant: ROKE MANOR RESEARCH (GB)
Classification:
- **International:** H04B1/707
- **European:**
Application number: CN19960180313 19960328
Priority number(s): CN19960180313 19960328

BEST AVAILABLE COPY

Report a data error here

Abstract of CN1220062

The apparatus receives an input signal via an antenna or cable, and the signal is applied to a frequency converter. Frequency converter generates complex I Q baseband signals which are applied to a respective correlator comprising a multiplier and an accumulator in respect of the inphase signal and the multiplier and an accumulator in respect of the quadrature phase signal. The multipliers and an adder. The output of the adder is applied to a store, and the inputs and outputs to the store are arranged to be added together in an adder, the output of which is compared in a comparator.

Data supplied from the *esp@cenet* database - Worldwide

[19]中华人民共和国国家知识产权局

[51]Int. Cl.⁶

HD4B 1/707

[12] 发明专利申请公开说明书

[21] 申请号 96180313.4

[43]公开日 1999年6月16日

[11]公开号 CN 1220062A

[22]申请日 96.3.28 [21]申请号 96180313.4

[86]国际申请 PCT/GB96/00745 96.3.28

[87]国际公布 WO97/37436 英 97.10.9

[85]进入国家阶段日期 98.11.27

[71]申请人 罗克马诺尔研究有限公司

地址 英国英格兰汉普郡拉姆西

[72]发明人 A·P·胡伯特 D·P·钱德勒

[74]专利代理机构 中国专利代理(香港)有限公司

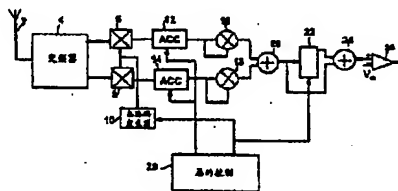
代理人 程天正 王 岳

权利要求书 1 页 说明书 2 页 附图页数 1 页

[54]发明名称 直接序列扩频系统中用于获取码元锁相的设备

[57]摘要

本设备通过天线或电缆(2)接收输入信号,该信号被加到变频器(4)。变频器产生复数 I、Q 基带信号,它们被加到各自的相关器,相关器由同相信号的乘法器(6)和累加器(12)以及 90°相差信号的乘法器(8)和累加器(14)组成。相关器的输出经过模值平方函数的运算,该函数由乘法器(16,18)和加法器(20)构成。加法器(20)的输出被加到存储器(22),而存储器的输入和输出则用于在加法器(24)中相加,其输出在比较器(26)中被比较。



ISSN 1008-4274

专利文献出版社出版

权 利 要 求 书

1. 用于在直接序列扩频系统中获取代码锁相的设备, 包括用于接收输入信号的装置, 用于把接收的输入信号变换成复数基带信号的同相和正交分量的装置, 用于接收所述同相信号的第一相关器, 以及用于接收所述正交基带信号的第二相关器, 用于对由所述相关器产生的输出信号执行模值平方函数的装置, 用于存储所述模值平方函数的结果的存储装置, 用于把输入到所述存储装置的输入和来自所述存储装置的代表在码元相位上相隔一个码片差的相关值的输出相加在一起的加法装置, 用于把来自所述加法装置的输出与一个门限值相比较的比较装置, 以及用于控制所述相关器和所述存储装置的控制装置.
2. 权利要求 1 中所要求的设备, 其特征在于, 其中每个相关器包括一个乘法器和一个累加器, 每个乘法器被连接到代码发生器, 所述累加器和代码发生器由所述控制装置控制.
3. 权利要求 2 中所要求的设备, 其特征在于, 其中用于执行所述模值平方函数的所述装置包括两个乘法器, 每个乘法器分别被连接到累加器的输出端, 并设计成能把所述输出进行平方, 还包括一个加法器, 用来把所述乘法器产生的输出信号相加在一起.
4. 权利要求 3 中所要求的设备, 其特征在于, 其中控制装置控制本地码发生器的码元相位, 以及控制累加器的设置和复位, 使得在已知的间隔内执行以下步骤, 本地码发生器相位被保持为常数, 并在所述间隔的开始时使累加器复位以允许累加, 在所述间隔的结束时进行所述比较, 此后, 所产生的代码被移位一个码片, 累加器被设置, 以及所述加法器的输出在时钟脉冲控制下送到所述存储装置, 所述步骤被重复, 直到所述比较表示该门限已被超过为止.
5. 基本上如这里在以前参照附图所描述的那样的设备.

说明书

直接序列扩频系统中用于获取码元锁相的设备

本发明涉及直接序列扩频系统，具体地，涉及码元锁相的起始获取。

5 在这样的系统中，扩频发射机发送包含一个可能具有相当长度的序列的代码。尚未获取时间同步的接收机对接收的信号进行相关，直到发现能量超过门限值的时候为止。这些相关是对于多种多样的码元移相进行的，通常这些移相包含全部数目的码片(chip)，而且进入信号通常每个码片被采样几次。这就确保了当码元的各个不同相位被测试时，能找到相关函数的峰值或接近于该峰值的位置，避免了与远离
10 相关峰值的码元采样有关的损失。

在现有系统中，发送的信号由每个码片的矩形脉冲组成，这导致了该自相关函数在这种情况下是三角形。如果采样偏离半个码片的相位，则这会导致 6dB 的恶化。最近，对发射频谱应用了频带限制函数，
15 典型地是提升的余弦脉冲，这时离开最佳点半个码片处采样造成的衰减减小为 4.2dB。因而，可以考虑每个码片一次的不那么频繁地采样的可能性，然而，4.2dB 仍旧是无法接受的大的恶化。本发明的目的是大大减小在这种情况下损耗。

按照本发明，提供了用于在直接序列扩频系统中获取代码锁相的设备，它包括用于接收输入信号的装置，用于把接收的输入信号转换成复数基带信号的同相和正交分量的装置，用于接收所述同相信号的第一相关器，以及用于接收所述正交基带信号的第二相关器，用于对
20 由所述相关器产生的输出信号执行模值平方函数的装置，用于存储所述模值平方函数的结果的存储装置，用于把输入到所述存储装置的输入和来自所述存储装置的代表在码元相位上相隔一个码片差的相关值的输出相加在一起的加法装置，用于把来自所述加法装置的输出与一个门限值相比较的比较装置，以及用于控制所述相关器和所述存储装置的控制装置。
25

本原理是把有效的插值应用到相关器的输出。这意味着，必须执行的相关数并不增加，而每个码片一次采样基本上可达到减少百分之
30 五十的复杂性的好处却完全实现了，然而，有效的插值是以非常直接了当的方式进行的，它包含提取成对的相邻的相关样本，把它们相加，

并与修正的门限值进行比较。分析表明，在最好的情况下，也就是说，在样本出现在最佳位置的情况下，由该这个程序所造成的损失是 0.5dB 的量级。然而，在最坏的情况下，这个附加的损失仍存在，但是附带有 3dB 的增益，这样，原先的 4.2dB 的最坏情况被改善成 $4.2+0.5-3(\text{dB})=1.7\text{dB}$ 。因而，得到了非常显著的改进，对于每个码片一次采样的性能被改进成比每个码片两次采样仅变劣大约 0.7dB。

现在将参照附图（图 1）描述本发明的实施例，图上显示了用于达到码元锁相的电路的方框图。

参照图 1，信号由显示为天线 2 的信号输入装置接收，该信号被变频装置 4 转换成复数基带 I 和 Q，I 和 Q 信号在乘法器 6，8 中单独地与来自本地发生器 10 的样本相乘。这些乘法器的输出被馈送到累加器 12，14。这样，乘法器 6 和累加器 12，乘法器 8 和累加器 14 构成了相关器。累加器 12，14 的输出端分别被连接到乘法器 16，18。乘法器 16，18 的输出端被连接到加法器 20，并且一起在相关器输出端形成模值平方函数，这样，加法器 20 的输出相应于所形成的相关值的能量量度。所得到的结果在相关的时间间隔上被存储到存储单元 22，它被显示为多 D 型触发器。每个时钟间隔的末端，在加法器 24 中把输入到存储装置的输入和来自所述存储装置的代表在码元相位上相隔一个码片差的相关值的输出相加在一起，并通过使用比较装置 26 把它和门限值比较。整个电路的运行是在控制装置 28 的控制下进行的。控制装置 28 控制本地码发生器的码元相位，还控制累加器 12、14 的置位和复位。这样，在固定的间隔下，即在后面称之为相关间隔下，本地码发生器相位被保持为常数，并在这个间隔的开始时，把累加器 12、14 复位为零，以允许累加。在这个间隔的末尾处进行比较，并在此后的片刻所产生的代码被移位一个码片，累加器 12、14 被设置为零，并且把加法器 20 的输出在时钟脉冲的控制下送到存储装置 22。过程被重复以便使本地码发生器实施某些循环移位，直到超过该门限的这个时间为止。

本领域的技术人员将会看到，属于本发明范围的各种不同的替换实现方案是可能的。例如，以上的说明涉及二相移位键控 BPSK，但将会认识到，通过把变频器的输出与复数代码相乘，它可被用于四相移位键控 QPSK。

另外，到变频器的连接可以经过电缆，而不经射频频天线。

说明书附图

